

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **61113271 A**

(43) Date of publication of application: **31.05.86**

(51) Int. Cl. **H01L 27/10**
G11C 11/34
H01L 21/20
H01L 29/78

(21) Application number: **59235552**

(22) Date of filing: **08.11.84**

(71) Applicant: **MATSUSHITA ELECTRONICS CORP**

(72) Inventor: **TERAKAWA SUMIO**

(54) **SEMICONDUCTOR MEMORY DEVICE**

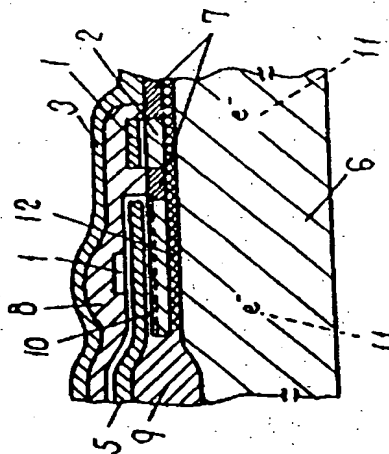
(57) Abstract:

PURPOSE: To theoretically eliminate the soft error of the bit wire or to enable to significantly reduce it by a method wherein the switching transistor, one of the constituent elements of the memory cell, is formed on the polycrystalline silicon film to be laminated on the insulating layer.

CONSTITUTION: 2 is the switching transistor and 3 is the bit wire to be formed of an aluminum electrode. 5 is formed on a part of an N⁺-type diffusion region 7 and an inversion layer 10, the inversion layer 10 is formed on an insulating layer 12 and the so-called (semiconductor on insulator) structure is formed. This structure can be obtained by the following method, for example, wherein the polycrystalline silicon film to be laminated on the insulating layer 12 is made to single-crystallize by performing an annealing. As the N⁺-type diffusion region to be formed on the SOI structure is diffused over up to the surface of the insulating film on the SOI structure is diffused over up to the surface of the insulating film on the SOI structure, no depletion layer does exist theoretically. Accordingly, the generation of depletion layers can be completely eliminated excluding some depletion layers to be formed in gate electrodes 1 and the N⁺-type diffusion region in the structure embodiment in this case against that depletion layers

are sure to be inevitably formed in the drain of a conventional semiconductor memory element, wherein the SOI structure is not used. Hence, it follows that the soft error of the bit wire due to α rays cannot be theoretically generated at all.

COPYRIGHT: (C)1986,JPO&Japio



BEST AVAILABLE COPY

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-113271

⑬ Int.Cl.⁴

H 01 L 27/10
G 11 C 11/34
H 01 L 21/20
29/78

識別記号

1 0 1

庁内整理番号

6655-5F

7739-5F

8422-5F

⑭ 公開 昭和61年(1986)5月31日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体記憶素子

⑯ 特 願 昭59-235552

⑰ 出 願 昭59(1984)11月8日

⑱ 発 明 者 寺 川 澄 雄 門真市大字門真1006番地 松下電子工業株式会社内

⑲ 出 願 人 松下電子工業株式会社 門真市大字門真1006番地

⑳ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1、発明の名称

半導体記憶素子

2、特許請求の範囲

メモリアレイを形成する蓄積容量、スイッチングトランジスタ、ビット線、書き込み回路および読み出し回路を含むとともに、前記スイッチングトランジスタが絶縁層上のシリコン膜上に形成されていることを特徴とする半導体記憶素子。

3、発明の詳細な説明

産業上の利用分野

本発明は半導体記憶素子に関するものである。

従来例の構成とその問題点

最近、ダイナミックRAMを中心とするMOSメモリの開発が進み、256K、1Mビット程度の高集積化が行われつつある。メモリのビット数が増大するにつれて、蓄積容量が低減し、α線によるソフトエラーが発生しやすくなるなどの問題がますます実用上深刻なものとなっている。

以下図面を参照しながら従来例の構成とその問

題点を説明する。第1図はメモリセルの単位構成要素を示し、1はワード線、2はスイッチングトランジスタ、3はデータ線(ビット線)、4は蓄積容量、5はプレートである。

第2図a, b, cはメモリセルの構造断面図を示す実施例のいくつかを示している。同図aは、データ線3をアルミ電極を用いて構成し、ワード線1及びプレート5はポリシリコンゲートで形成している。又、同図b, cはデータ線3をポリシリコン電極で形成し、ワード線、プレートはポリシリコン電極で構成している例である。同図において、6はP形基板、7は α^+ 拡散層、8はPSG膜、9はLOCOS、10は反転層である。矢印の点線11はP基板内に照射されるα線を示している。これらのα線により発生した α はメモリセルの反転層10に集積されて、メモリセルのソフトエラーを生じる。また、ビット線3の α^+ 拡散層の空乏層に捉えられて、ビット線ソフトエラーを生じる。そのため、蓄積容量を増大してソフトエラーを防ぐ事が必要となるが、酸化膜厚を低

減してこれを行う場合において、実用上充分薄く（～100Å）することは難しい。また、ビット線3の n^+ 拡散層の空乏層をへらす場合も微細パターン化により可能であるが、大巾に小さくすることは難しい。いずれにしろ、従来のメモリセル構成では α 線ソフトエラーを完全に無くするかあるいは大巾に低減することはできなかった。

発明の目的

本発明は上記欠点に鑑み、従来の半導体記憶素子に生じるソフトエラーを原理的に除去するか、あるいは大巾に低減できるような構造を備えた半導体記憶素子を提供することにある。

発明の構成

この目的を達成するために、本発明の半導体記憶素子は、メモリセルの構成要素のスイッチングトランジスタが絶縁層上のシリコン膜上に形成されている。

実施例の説明

以下本発明の実施例について、図面を参照しながら説明する。第3図は本発明の一実施例の断面

することができる。従って、 α 線によるビット線ソフトエラーは全く原理的に発生しえないことになる。さらに、 n^+ 領域の空乏層を除去できるのでビット線容量を大巾に低減でき、アクセスタイムの大巾な向上が可能となる。また蓄積容量を形成する反転層をもSOI上に形成できるので、メモリセルのソフトエラーを大巾に低減できるのは明らかである。これは、SOIを形成するための絶縁膜が、 α 線によって発生した α が反転層に集まることを防ぐためである。

発明の効果

以上のように本発明の半導体記憶素子は α 線ソフトエラーを原理的に除去あるいは大巾に低減でき、さらにアクセスタイムの大巾な向上も可能となり、その実用的効果は極めて大なるものがある。

4、図面の簡単な説明

第1図はメモリセルの構成図、第2図a, b, cは従来のメモリセルを示す断面構造図、第3図は本発明の一実施例を示す断面構造図である。

1……ビット線、2……スイッチングトランジ

構造を示す。1はワード線、2はスイッチングトランジスタ、3はアルミ電極で形成されたビット線、5はプレート、6はP形基板、7は n^+ 拡散領域、8はPSG膜、9はLOCOS、10は反転層、11は照射される α 線、12は絶縁層である。

図から分かるように、 n^+ 拡散領域7及び反転層10は絶縁層膜12上に形成され、いわゆるSOI (Semiconductor on Insulator) 構造が形成されている。この構造は例えば絶縁層12上に積層したポリシリコン膜をアニールする事により単結晶化させ、得る事ができる。SOI上に形成された n^+ 拡散領域は、SOIの絶縁膜上まで拡散されているので、空乏層は原理的に存在しない。ただし、ゲート電極1下のシリコンと n^+ 拡散層に若干の空乏層が形成されるだけである。従って、従来のSOIを用いないドレインでは必ず空乏層が不可避免的に形成されるのに対し、本実施例の構造ではゲート電極1と n^+ 拡散領域に形成される若干の空乏層を除いて、全く空乏層を無く

スタ、3……ビット線を形成するAl電極、5……プレート、6……P形基板、7…… n^+ 拡散領域、8……PSG膜、9……LOCOS、10……反転層、11…… α 線、12……絶縁層膜。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

